

Autonomous PCIe HIP 模式下, 如何具体计算 PCIe Active 的时间?

你仍在担心: 即使打开了 Autonomous PCIe HIP Mode, 也无法满足 PCIe 的唤醒 100ms 的时间要求? 那我们来进行一次具体的计算吧!

以 Arria10 1150 的 FPGA 器件, 使用 AS x4 配置模式来计算 (其他系列计算类似)
PCIe Active 的时间 = a(ramp time) + b (POR) + Program and calibrate

1. Ramp Time 时间

Ramp Time 由 FPGA 板卡设计的 Power 电路决定。根据设计规范, 现假设它是 10ms

2. POR delay 时间

待 POR 电路监控的所有 Power 都运行起来后, 会 delay 一个时间用来以保证 FPGA 准备好被配置, 这个时间就是 POR delay 时间。

Table 76. Fast and Standard POR Delay Specification for Intel Arria 10 Devices

POR Delay	Minimum	Maximum	Unit
Fast	4	12 ⁽¹¹⁴⁾	ms
Standard	100	300	ms

Related Information

MSEL Pin Settings

Provides more information about POR delay based on MSEL pin settings for each configuration scheme.

从上表可知: POR 模式分 Fast 和 Standard, 两者的 delay 时间差异很大。

在 Standard 模式下, 最小时间都已经超过了 100ms, 因此我们必须设置 MSEL, 将 POR 切到 Fast 模式。这里取 Fast POR delay 的最大时间——12ms 来计算!

3. Program and calibrate

3.1 Program peripheral image

配置 peripheral image 的时间可以参考如下公式:

$$\left(\frac{\text{Full configuration file size}}{\text{Number of data line}} \times \frac{1}{\text{DCLK frequency}} \right) + (\text{Power ramp up} + \text{POR delay time})$$

这里 Configuration File size 选用 peripheral image 的最大 size, 根据 Datasheet 中 CvP 的 IOCSR 数据, 该 size 最大为 2756096 bits, 如下图:

I/O configuration shift register (IOCSR) is a long shift register that facilitates the device I/O peripheral settings. The IOCSR bit stream is part of the uncompressed configuration bit stream, and it is specifically for the Configuration via Protocol (CvP) feature.

Uncompressed configuration bit stream sizes are subject to change for improvements and optimizations in the configuration algorithm.

Variant	Product Line	Uncompressed Configuration Bit Stream Size (bits)	IOCSR Bit Stream Size (bits)	Recommended EPCQ-L Serial Configuration Device
Intel Arria 10 GX	GX 160	91,729,632	2,507,264	EPCQ-L256 or higher density
	GX 220	91,729,632	2,507,264	EPCQ-L256 or higher density
	GX 270	132,638,432	2,507,264	EPCQ-L256 or higher density
	GX 320	132,638,432	2,507,264	EPCQ-L256 or higher density
	GX 480	189,710,176	2,695,680	EPCQ-L256 or higher density
	GX 570	252,959,072	2,884,096	EPCQ-L256 or higher density
	GX 660	252,959,072	2,884,096	EPCQ-L256 or higher density
	GX 900	351,292,512	2,756,096	EPCQ-L512 or higher density
GX 1150	351,292,512	2,756,096	EPCQ-L512 or higher density	

这里, Number of data line 选用 AS x4 配置模式的 4; DCLK 使用 AS 模式下的 100MHz.

将上述参数代入配置 peripheral image 时间的公式, 计算如下:

program time = $2756096/4 * (1/100\text{MHz}) = 6.9 \text{ ms}$ (远小于 Full image 的 800+ ms)

3.2 Calibrate HIP Mode

高速收发器校验从 FPGA 设备每一边靠底部的那个 PCIe IP 核开始, 因此, PCIe 设备启动后, PCIe IP 的校验会很快开始, 花费的时间会很少。

通过上述分析, 不难算出: 打开 Autonomous Mode 的总时间为: $10 + 12 + 6.7 + \text{少量 Calibrate 时间} \approx 30\text{ms}$, 而 PCIe 的唤醒时间要求是 100ms, 这不很简单就满足了吗? 而且这样算来, A10 最大器件用 ASx4 也是没问题的。因此, Arria10 以下 28nm 以上的支持 Hard PCIe IP 的器件, 完全可以直接打开 Autonomous PCIe HIP Mode, 以满足 PCIe 的唤醒 100ms 的时间要求。

阅读原文

<https://www.cnblogs.com/DeeZeng/p/11309241.html>