

Autonomous PCIe HIP 模式下，如何具體計算 PCIe Active 的時間？

你是否擔心，即使打開了 Autonomous PCIe HIP Mode，也無法滿足 PCIe 喚醒 100ms 的時間要求？那我們來進行一次具體的計算！

以 Arria10 1150 的 FPGA 元件，使用 AS x4 配置模式來計算 (其他系列計算類似)
PCIe Active 的時間 = a(ramp time) + b (POR) + Program and calibrate

1. Ramp Time 時間

Ramp Time 由 FPGA 板卡設計的 Power 電路決定。根據設計規範，假設它是 10ms

2. POR delay 時間

待 POR 電路監控的所有 Power 都運行起來後，會 delay 一個時間來用以保證 FPGA 準備好被配置，這個時間就是 POR delay 時間。

Table 76. Fast and Standard POR Delay Specification for Intel Arria 10 Devices

POR Delay	Minimum	Maximum	Unit
Fast	4	12 ⁽¹¹⁴⁾	ms
Standard	100	300	ms

Related Information

MSEL Pin Settings

Provides more information about POR delay based on MSEL pin settings for each configuration scheme.

從上表可知：POR 模式分 Fast 和 Standard，兩者的 delay 時間差異很大。

在 Standard 模式下，最小時間都已經超過了 100ms，因此我們必須設置 MSEL，將 POR 切到 Fast 模式。這裡取 Fast POR delay 的最大時間 -- 12ms 來計算。

3. Program and calibrate

3-1. Program periphery image

配置 periphery image 的時間可以參考如下公式：

$$\left(\frac{\text{Full configuration file size}}{\text{Number of data line}} \times \frac{1}{\text{DCLK frequency}} \right) + (\text{Power ramp up} + \text{POR delay time})$$

這裡 Configuration File size 選用 periphery image 的最大 size，根據 Datasheet 中 CvP 的 IOCSR 資料，該 size 最大為 2756096 bits，如下圖：

I/O configuration shift register (IOCSR) is a long shift register that facilitates the device I/O peripheral settings. The IOCSR bit stream is part of the uncompressed configuration bit stream, and it is specifically for the Configuration via Protocol (CvP) feature.

Uncompressed configuration bit stream sizes are subject to change for improvements and optimizations in the configuration algorithm.

Variant	Product Line	Uncompressed Configuration Bit Stream Size (bits)	IOCSR Bit Stream Size (bits)	Recommended EPCQ-L Serial Configuration Device
Intel Arria 10 GX	GX 160	91,729,632	2,507,264	EPCQ-L256 or higher density
	GX 220	91,729,632	2,507,264	EPCQ-L256 or higher density
	GX 270	132,638,432	2,507,264	EPCQ-L256 or higher density
	GX 320	132,638,432	2,507,264	EPCQ-L256 or higher density
	GX 480	189,710,176	2,695,680	EPCQ-L256 or higher density
	GX 570	252,959,072	2,884,096	EPCQ-L256 or higher density
	GX 660	252,959,072	2,884,096	EPCQ-L256 or higher density
	GX 900	351,292,512	2,756,096	EPCQ-L512 or higher density
	GX 1150	351,292,512	2,756,096	EPCQ-L512 or higher density

這裡，Number of data line 選用 AS x4 配置模式的 4；DCLK 使用 AS 模式下的 100MHz。

將上述參數代入配置 periphery image 時間的公式，計算如下：

program time = 2756096/4*(1/100MHz) = 6.9 ms (遠小於 Full image 的 800+ ms)

3-2. Calibrate HIP Mode

高速收發器校驗從 FPGA 設備內靠底部的那個 PCIe IP 開始，因此，PCIe 設備啟動後，PCIe IP 的校驗會很快開始，花費的時間會很少。

通過上述分析，不難算出：打開 Autonomous Mode 的總時間為：10 + 12 + 6.7 + 少量 Calibrate 時間 ≈ 30ms，而 PCIe 的喚醒時間要求是 100ms，很簡單就滿足 PCIe 喚醒時間要求。而且這樣算來，A10 最大元件用 ASx4 也是沒問題的。因此，Arria10 以下 28nm 以上的支持 Hard PCIe IP 的元件，完全可以直接打開 Autonomous PCIe HIP Mode，以滿足 PCIe 的喚醒 100ms 的時間要求。

閱讀原文

<https://www.cnblogs.com/DeeZeng/p/11309241.html>